

09/077,207

PCT/JP 97/03626

日 本 国 特 許 庁

08.10.97

PATENT OFFICE  
JAPANESE GOVERNMENT

01 DEC 1997

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日

Date of Application:

1996年10月 9日

出 願 番 号

Application Number:

平成 8年特許願第268288号

出 願 人

Applicant (s):

セイコーエプソン株式会社

PRIORITY DOCUMENT

1997年11月14日

特許庁長官  
Commissioner,  
Patent Office

荒井 寿光

出証番号 出証特平09-3093799

【書類名】 特許願

【整理番号】 P0S55776

【提出日】 平成 8年10月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786

【発明の名称】 薄膜トランジスタ及びそれを用いた液晶表示装置

【請求項の数】 15

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 井上 聡

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 湯田坂 一夫

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代表者】 安川 英昭

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 3348-8531内線2610-2615

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9603594

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ及びそれを用いた液晶表示装置

【特許請求の範囲】

【請求項1】 基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続するソース・ドレイン領域を備える薄膜トランジスタと、前記ソース・ドレイン領域に電氣的接続するソース・ドレイン配線層と、前記ゲート電極に電氣的接続するゲート配線層とを有する薄膜トランジスタにおいて、

該薄膜トランジスタの各構成部分のうち、導電膜または半導体膜から構成された少なくとも1つの構成部分には、該構成部分自身から拡張されて該構成部分での放熱効率を高める放熱用拡張部が形成されていることを特徴とする薄膜トランジスタ。

【請求項2】 請求項1において、前記放熱用拡張部は、前記ゲート電極から側方への拡張部分であることを特徴とする薄膜トランジスタ。

【請求項3】 請求項2において、前記ゲート電極の拡張部分は、該ゲート電極の少なくとも一方の端部に形成されていることを特徴とする薄膜トランジスタ。

【請求項4】 請求項3において、前記ゲート電極の拡張部分には、複数のコンタクトホールを介して前記ゲート配線層が電氣的接続していることを特徴とする薄膜トランジスタ。

【請求項5】 請求項2において、前記ゲート電極の拡張部分は、前記チャネル領域に重畳する領域内に形成されていることを特徴とする薄膜トランジスタ。

【請求項6】 請求項5において、前記ゲート電極の拡張部分は、前記チャネル領域の幅方向における略中央領域に相当する位置に形成されていることを特徴とする薄膜トランジスタ。

【請求項7】 請求項1において、前記放熱用拡張部は、前記チャネル領域から側方への拡張部分であることを特徴とする薄膜トランジスタ。

【請求項8】 請求項7において、前記チャネル領域の拡張部分は、前記ゲート電極に重畳する領域内に形成されていることを特徴とする薄膜トランジスタ。

【請求項9】 請求項1において、前記放熱用拡張部は前記ソース・ドレイン領域から側方への拡張部分であることを特徴とする薄膜トランジスタ。

【請求項10】 請求項9において、前記ソース・ドレイン領域の拡張部分には、複数のコンタクトホールを介してソース・ドレイン配線層が電氣的接続していることを特徴とする薄膜トランジスタ。

【請求項11】 請求項1において、前記放熱用拡張部は、逆導電型の前記薄膜トランジスタによって構成されたCMOSインバータ回路において各CMOS回路間で前記薄膜トランジスタのソース・ドレイン領域同士を接続するように前記ソース・ドレイン領域から側方に拡張された拡張部分であることを特徴とする薄膜トランジスタ。

【請求項12】 請求項11において、前記放熱用拡張部は、該拡張部自身が接続するソース・ドレイン領域と同一の不純物により導電化されていることを特徴とする薄膜トランジスタ。

【請求項13】 請求項11または12において、前記放熱用拡張部は、各CMOS回路間で前記薄膜トランジスタのソース・ドレイン領域同士を接続する前記ソース・ドレイン配線層と重畳する領域内に形成されていることを特徴とする薄膜トランジスタ。

【請求項14】 請求項1において、前記放熱用拡張部は、前記ソース・ドレイン配線層および前記ゲート配線層のうちの少なくとも一方の配線層から側方への拡張部分であることを特徴とする薄膜トランジスタ。

【請求項15】 請求項1ないし14のいずれかに規定する薄膜トランジスタによって駆動回路が構成されたアクティブマトリクス基板を用いたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以下、TFTという。）及びそれを用いて回路構成した駆動回路を備えるアクティブマトリクス基板を用いた液晶表示装置に関するものである。さらに詳しくは、TFTからの放熱効率を高めるための構造技術に関するものである。

【0002】

【従来の技術】

液晶表示装置用のアクティブマトリクス基板などに広く用いられているTFTおよびTFT回路は、従来、図14及び図15に示すように、ゲート電極15Q、ソース・ドレイン領域12Q、およびチャネル領域17Qはいずれも側方へ張り出すことなく、略長方形の平面形状をもつように形成されている。また、図15の各TFT1Qにおいて、ソース・ドレイン領域12Qおよびチャネル領域17Qを構成するシリコン膜は、TFT毎に独立した島状にパターニングされた状態にある。ここで、TFTから各種のTFT回路を構成する際には等幅に形成された配線層801Qを用いてTFT同士を配線接続している。

【0003】

【発明が解決しようとする課題】

しかし、従来構造のTFT回路において、その特性・性能の向上のためにTFT1Qに流れる電流をアップすると、TFT1Qの自己発熱によるチャネル領域17Qの温度上昇が大きくなるため、特性の劣化や信頼性の低下が生じるという問題点がある。

【0004】

そこで、TFT1Qを構成する各層間に熱伝導性の高い層を付加し、それを放熱層として利用してTFTの温度上昇を抑える方法が考えられる。しかし、この方法によると、アクティブマトリクス基板などを製造する際に、放熱層として用いる膜を形成する工程と、それをパターニングする工程とが増えてしまうという問題点がある。このような製造工程の増加は、アクティブマトリクス基板などの

製造コストを高めることになるので好ましくない。

【0005】

尚、従来技術である第14図及び図15において、コンタクトホール19は等幅に形成されたソースまたはドレインまたはゲートの各領域内に形成されているが、コンタクトホールは一辺が等幅のソースまたはドレインまたはゲート領域より大きい場合にはコンタクトホールの周辺だけ前記各領域を等幅部分より大きくすることがあったが、放熱特性を考慮したものではなく、従って、放熱特性を向上できるものではなかった。

【0006】

以上の問題点に鑑みて、本発明の課題は、製造工程数を増やすことなく放熱効率を高めた構造とし、TFTに流す電流をアップしても特性劣化や信頼性低下のないTFT回路、およびそれを駆動回路に用いたアクティブマトリクス基板を備える液晶表示装置を提供することにある。

【0007】

【課題を解決するための手段】

上記課題を解決するために、本発明では、基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続するソース・ドレイン領域を備えるTFTと、前記ソース・ドレイン領域に電気的接続するソース・ドレイン配線層と、前記ゲート電極に電気的接続するゲート配線層とを有するTFTにおいて、該TFTの各構成部分のうち、導電膜または半導体膜から構成された少なくとも1つの構成部分には、該構成部分自身から拡張されて該構成部分からの放熱効率を高めるための放熱用拡張部が形成されていることを特徴とする。

【0008】

すなわち、TFTに新たな層を追加するのではなく、TFTの各構成部分を部分的に拡張することによって、TFTからの放熱効率を高めることを特徴とする。

【0009】

本発明では、TFTの各構成部分のうち、導電膜または半導体膜から構成され

た少なくとも1つの構成部分には放熱用拡張部が形成されているので、平面的にみると、放熱可能な面積が拡張されたことになる。また、拡張部分を設けたので、その側面部分の面積も拡張されたことになる。すなわち、構成部分の表面積を拡大した分、そこからの放熱効率が低い。しかも、放熱用に拡張した部分は、導電膜や半導体膜といった絶縁膜からみて熱伝導性の高い膜で構成されているので、拡張部分から効率よく放熱することができる。さらに、放熱用の拡張部分は、あくまでTFTを従来から構成していた部分を拡張した部分である。従って、放熱用の拡張部分を設けるといっても、製造工程数が増えない。それ故、TFTの製造コストは上昇しない。

## 【0010】

本発明において、前記放熱用拡張部は前記ゲート電極から側方への拡張部分として構成することがある。

## 【0011】

たとえば、前記ゲート電極の拡張部分は、該ゲート電極の少なくとも一方の端部に形成されていることがある。この場合には、前記ゲート電極の拡張部分には、複数のコンタクトホールを介してゲート配線層が電氣的接続していることが好ましい。このように構成すると、ゲート電極からゲート配線層に効率よく熱伝達を行うことができるので、放熱効果が高い。

## 【0012】

また、前記ゲート電極の拡張部分は、前記チャネル領域に重畳する領域内に形成されていることがある。このように構成すると、ゲート電極の拡張部分はTFTの形成領域からはみ出ないので、TFTの高集積化を妨げない。この場合に、前記ゲート電極の拡張部分は、前記チャネル領域の幅方向における略中央領域に相当する位置に形成されていることが好ましい。このように構成すると、チャネル領域の幅方向において発熱が最も顕著である部分での放熱効率を高めることになるので、その効果が高い。

## 【0013】

本発明において、前記放熱用拡張部は、前記チャネル領域から側方への拡張部分として構成することもある。この場合には、前記チャネル領域の拡張部分は、



前記ゲート電極に重畳する領域内に形成されていることが好ましい。このように構成すると、チャンネル領域からの拡張部分はTFTの形成領域からはみ出ないので、TFTの高集積化を妨げない。

## 【0014】

本発明において、前記放熱用拡張部は、前記ソース・ドレイン領域から側方への拡張部分として構成することもできる。この場合に、前記ソース・ドレイン領域の拡張部分には複数のコンタクトホールを介してソース・ドレイン配線層が電氣的接続していることが好ましい。このように構成すると、ソース・ドレイン領域からソース・ドレイン配線層に効率よく熱伝達を行うことができるので、放熱効果が高い。

## 【0015】

本発明において、前記放熱用拡張部は、逆導電型の前記TFTによって構成されたCMOSインバータ回路において各CMOS回路間で前記TFTのソース・ドレイン領域同士を接続するように前記ソース・ドレイン領域から側方に拡張された拡張部分として構成してもよい。この場合には、前記放熱用拡張部は、該拡張部自身が接続するソース・ドレイン領域と同一の不純物により導電化されていることが好ましい。このように構成すると、放熱用拡張部自身が冗長配線としての機能を発揮することになる。また、前記放熱用拡張部は、各CMOS回路間で前記TFTのソース・ドレイン領域同士を接続する前記ソース・ドレイン配線層と重畳する領域内に形成されていることが好ましい。このように構成すると、放熱用拡張部は、ソース・ドレイン配線層からはみ出ないので、CMOSインバータ回路の高集積化を妨げない。

## 【0016】

本発明において、前記放熱用拡張部は、前記ソース・ドレイン配線層および前記ゲート配線層のうちの少なくとも一方の配線層から側方への拡張部分として構成することもある。

## 【0017】

このようにして放熱効率を高めたTFTについては、それを液晶表示装置用のアクティブマトリクス基板上において駆動回路を構成するのに適している。

【0018】

## 【発明の実施の形態】

図面を参照して本発明の実施の形態を説明する。なお、以下の説明では、説明の重複を避けるために、共通する機能を有する部分には同一の符号を付してある。

【0019】

## [実施の形態1]

図1は、実施の形態1に係るTFT回路に用いたTFTの平面構造を拡大して示す説明図である。この図に示すTFT1では、ゲート電極15に対してゲート絶縁膜（図示せず。）を介して対峙するチャネル領域17、およびこのチャネル領域17に接続するソース・ドレイン領域12のうち、ゲート電極15にはその両端部分からチャネル長方向に沿って側方に張り出す拡張部分151（放熱用拡張部）を設けてある。19は、ソース・ドレイン領域12およびゲート電極15にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

【0020】

このように構成したTFT1では、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜（アルミニウム層／導電膜）からなるゲート電極15に拡張部分151を設けてあるので、平面的にみると放熱可能な面積が拡張されている。また、ゲート電極15に拡張部分151を設けたので、その側面部分の面積も拡張されたことになる。すなわち、ゲート電極15の表面積が拡大された分、TFT1の放熱効率が高い。それ故、TFT1に流す電流をアップしても、チャネル領域17の温度上昇を抑えることができる。しかも、このようにTFT1の構造を改良するにあたっては、たとえば図13（B）、（C）を参照して後述する工程においてレジストマスク92のパターンを変更するだけでよいので、製造工程数は増えない。

【0021】

## [実施の形態2]

図2は、実施の形態2に係るTFT回路に用いたTFTの平面構造を拡大して

示す説明図である。この図に示すTFT1では、ゲート電極15、チャネル領域17、およびソース・ドレイン領域12のうち、ゲート電極15にはその中央部分からチャネル長方向に沿って側方に張り出す拡張部分152（放熱用拡張部）を設けてある。ここで、拡張部分152Bは、チャネル幅よりも狭く、かつ、チャネル領域17の幅方向における略中央部分に位置する。19は、ソース・ドレイン領域12およびゲート電極15にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

#### 【0022】

このように構成したTFT1でも、実施の形態1と同様、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜（アルミニウム層／導電膜）からなるゲート電極15に拡張部分152を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、ゲート電極15に拡張部分152を設けたので、その側面部分の面積も拡張されたことになる。すなわち、ゲート電極15の表面積が拡大された分、TFT1の放熱効率が低い。それ故、TFT1に流す電流をアップしても、チャネル領域17の温度上昇を抑えることができる。しかも、このようにTFT1の構造を改良するにあたって、たとえば図13（B）、（C）を参照して後述する工程においてレジストマスク92のパターンを変更するだけでよいので、製造工程数は増えない。

#### 【0023】

さらに、ゲート電極15からチャネル領域17の幅方向における中央部分で張り出すように、チャネル幅よりも狭い拡張部分152を設けてあるので、チャネル幅方向において発熱が最も顕著である中央部分での放熱効率を高めることになる。それ故、TFT1の温度上昇を抑える効果が高い。

#### 【0024】

また、拡張部分152はあくまでTFT1の形成領域からはみ出していないので、TFT1の高集積化を妨げることがない。

#### 【0025】

#### 〔実施の形態3〕

図3は、実施の形態3に係るTFT回路に用いたTFTの平面構造を拡大して

示す説明図である。この図に示すTFT1では、ゲート電極15、チャネル領域17、およびソース・ドレイン領域12のうち、チャネル領域17にはその中央部分からゲート電極15の延設方向（チャネル幅方向）に沿って側方に張り出す拡張部分171（放熱用拡張部）を設けてある。ここで、拡張部分171は、ゲート電極15の幅よりも狭く、かつ、ゲート電極15の幅方向における略中央部分に位置する。19は、ソース・ドレイン領域12およびゲート電極15にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

【0026】

このように構成したTFT1では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜（半導体膜）からなるチャネル領域17に拡張部分171を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、チャネル領域17に拡張部分171を設けたので、その側面部分の面積も拡張されたことになる。すなわち、チャネル領域17に相当するシリコン膜の表面積が拡大された分、TFT1の放熱効率が上がる。それ故、TFT1に流す電流をアップしても、チャネル領域17の温度上昇を抑えることができる。しかも、このようにTFT1の構造を改良するにあたっては、たとえば図12（A）、（B）を参照して後述する工程においてシリコン膜200からシリコン膜20A、20Bを形成するときのマスクパターンを変更するだけでよいので、製造工程数は増えない。

【0027】

また、拡張部分171はあくまでTFT1の形成領域からはみ出していないので、TFT1の高集積化を妨げることがない。

【0028】

〔実施の形態4〕

図4は、実施の形態4に係るTFT回路に用いたTFTの平面構造を拡大して示す説明図である。この図に示すTFT1では、ゲート電極15、チャネル領域17、およびソース・ドレイン領域12のうち、ソース・ドレイン領域12にはその両端部分からゲート電極15の延設方向に沿って側方に張り出す拡張部分1

23（放熱用拡張部）を設けてある。19は、ソース・ドレイン領域12およびゲート電極15にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

#### 【0029】

このように構成したTFT1では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜からなるソース・ドレイン領域12に拡張部分123を設けてあるの、平面的にみると、放熱可能な面積が拡張されたことになる。また、ソース・ドレイン領域12に拡張部分123を設けたので、その側面部分の面積も拡張されたことになる。すなわち、ソース・ドレイン領域12の表面積が拡大された分、TFT1の放熱効率が低い。それ故、TFT1に流す電流をアップしても、チャネル領域17の温度上昇を抑えることができる。しかも、このようにTFT1の構造を改良するにあたっては、たとえば図12（A）、（B）を参照して後述する工程において、シリコン膜200からシリコン膜20A、20Bを形成するときのマスクパターンを変更するだけでよいので、製造工程数は増えない。

#### 【0030】

##### 〔実施の形態5〕

図5は、実施の形態5に係るTFT回路に用いたTFTの平面構造を拡大して示す説明図である。この図に示すTFT1では、ゲート電極15、チャネル領域17、およびソース・ドレイン領域12のうち、ゲート電極15については、実施の形態1と同様、その両端部分から側方に張り出す拡張部分151（放熱用拡張部）を設けてある。従って、TFT1では、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜からなるゲート電極15に拡張部分151を設けてあるので、ゲート電極15の表面積が拡大された分、TFT1の放熱効率が低い。

#### 【0031】

また、本形態では、ゲート電極15の拡張部分151に対し、その表面側の層間絶縁膜（図示せず。）に形成した3つのコンタクトホール19を介して配線層（ゲート配線層／図示せず。）が電氣的接続する構造になっている。ここで、TFT1の下層側は熱伝導度の低いガラス基板が存在しているので、TFT1から

下層側への放熱効率が低いのに對して、配線層は、層間絶縁膜 51 の上層側にあつて、しかも金属層から構成されているので、熱伝導効率および放熱効率が高い。従つて、本形態では、ゲート電極 15 と配線層との接触面積が広い分、ゲート電極 15 から配線層へ効率よく熱伝達され、かつ、配線層から効率よく放熱されるので、TFT1 の温度上昇を防止することができる。

## 【0032】

一方、ソース・ドレイン領域 12 については、実施の形態 4 と同様、その両端部分からゲート電極 15 の延設方向に沿つて側方に張り出す拡張部分 123 (放熱用拡張部) を設けてある。従つて、TFT1 では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜からなるソース・ドレイン領域 12 に拡張部分 123 を設けてあるので、ソース・ドレイン領域 12 の表面積が拡大された分、TFT1 の放熱効率が高い。

## 【0033】

さらにまた、本形態では、ソース・ドレイン領域 12 の拡張部分 123 に対し、その表面側の層間絶縁膜 (図示せず。) に形成した 3 つのコンタクトホール 19 を介して配線層 (ソース・ドレイン配線層 / 図示せず。) が電氣的接続する構造になっている。ここで、TFT1 の下層側は熱伝導度の低いガラス基板が存在しているので、TFT1 から下層側への放熱効率が低いのに對して、配線層は、層間絶縁膜の上層側にあつて、しかも金属層から構成されているので、熱伝導効率および放熱効率が高い。従つて、本形態では、ソース・ドレイン領域 12 と配線層との接触面積が広い分、ソース・ドレイン領域 12 から配線層へ効率よく熱伝達され、かつ、配線層から効率よく放熱されるので、TFT1 の温度上昇を防止することができる。

## 【0034】

なお、図 5 では、ソース・ドレイン領域の拡張部分及びゲート電極の拡張部分にそれぞれ 3 つのコンタクトホールを設けているがコンタクトホールの数に制限はなく、また複数のコンタクトホールをつなげて 1 つの大きなコンタクトホールとしてもよい。

【0035】

## [実施の形態6]

図6は、実施の形態6に係るCMOSインバータ回路の平面構造を拡大して示す説明図である。この図に示すCMOSインバータ回路80（TFT回路）では、各段においてCMOS回路81を構成するいずれのP型のTFT1Bにおいても、ドレイン領域12Bは、電圧V<sub>dd</sub>が供給されるアルミニウム層からなる配線層801（ソース・ドレイン配線層）にコンタクトホール19を介して電氣的接続し、いずれのN型のTFT1Aにおいても、ソース領域12Aは、電圧V<sub>ss</sub>が供給されるアルミニウム層からなる配線層802（ソース・ドレイン配線層）にコンタクトホール19を介して電氣的接続している。

【0036】

また、各段のN型およびP型のTFT1A、1Bのアルミニウム層からなるゲート電極15A、15Bは、コンタクトホール19を介して入出力用の配線層803（ゲート配線層）に電氣的接続し、この配線層803は、前段でCMOS回路81を構成するN型およびP型のTFT1A、1BにおいてN型TFT1Aのソース領域12AとP型TFT1Bのドレイン領域12Bにコンタクトホール19を介して電氣的接続している。

【0037】

本形態において、ソース・ドレイン領域12A、12Bおよびチャネル領域17A、17Bを構成するシリコン膜はTFT毎に独立した島状ではなく、同じ導電型のTFT1Aのソース・ドレイン領域12A同士は、ソース・ドレイン領域12Aから拡張された拡張部分125Aによって連結され、同じ導電型のTFT1Bのソース・ドレイン領域12B同士は、ソース・ドレイン領域12Bから拡張された拡張部分125Bによって連結された構造になっている。ここで、拡張部分125A、125Bは、ソース・ドレイン領域12A、12Bと一体に形成されたシリコン膜がソース・ドレイン領域12A、12Bと一体に導電化されたものであるため、ソース・ドレイン領域12A同士およびソース・ドレイン領域12B同士は、形状的にも電氣的にも接続している状態にある。従って、拡張部分125A、125Bは、配線層801、802に対する冗長配線としての機能

、および配線抵抗を低減するという機能も有している。

【0038】

このように構成したCMOSインバータ回路80では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜からなるソース・ドレイン領域12A、12Bに拡張部分125A、125Bを設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、ソース・ドレイン領域12A、12Bに拡張部分125A、125Bを設けたので、その側面部分の面積も拡張されたことになる。すなわち、ソース・ドレイン領域12A、12Bの表面積が拡大された分、TFT1A、1Bの放熱効率が低い。しかも、このようにCMOSインバータ回路80を改良するにあたっては、たとえば図12(A)、(B)を参照して後述する工程において、シリコン膜200からシリコン膜20A、20Bをパターニング形成するときのマスクパターンを変更するだけでよいので、製造工程数は増えない。

【0039】

また、図6では拡張部分125A、125Bの存在をわかりやすいように、拡張部分125A、125Bと配線層801、802とをずらして表してあるが、それらを完全に重畳させておけば拡張部分125A、125Bを形成しても、CMOSインバータ回路80の高集積化を妨げないという利点がある。

【0040】

[実施の形態7]

図7(A)は、実施の形態7に係るCMOSインバータ回路の平面構造を拡大して示す説明図である。この図に示すCMOSインバータ回路80では、P型のTFT1Bのソース・ドレイン領域12B同士を電氣的接続する配線層801(ソース・ドレイン配線層)、およびN型のTFT1Aのソース・ドレイン領域12A同士を電氣的接続する配線層802(ソース・ドレイン配線層)のいずれにも、両側に張り出す拡張部分881、882(放熱用拡張部)が形成されている。

【0041】

このように構成したTFT1A、1Bでは、シリコン酸化膜やシリコン膜と比



較して熱伝導性の高い金属膜からなる配線層801、802に両側に向けて拡がる拡張部分881、882を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、拡張部分881、882を設けたので、その側面部分の面積も拡張されたことになる。すなわち、配線層801、802の表面積が拡大された分、そこからの放熱効率が低い。従って、TFT1A、1Bからの熱は、ソース・ドレイン領域12A、12Bを介して配線層801、802に伝達されると、そこから効率よく放熱される。このため、TFT1A、1Bの温度上昇を防ぐことができる。しかも、このようにCMOSインバータ回路80を改良するにあたっては、たとえば図11を参照して後述する工程において、各配線層801、802をパターンニング形成する際のマスクパターンを変更するだけでよいので、製造工程数は増えない。

#### 【0042】

本形態では、配線層801、802に拡張部分881、882を形成した場合を例に説明したが、N型およびP型のTFT1A、1Bのゲート電極15A、15Bに電氣的接続する配線層803（ゲート配線層）に対して同様な放熱用の拡張部分を形成してもよい。

#### 【0043】

また、これらの配線層801、802、803に限らず、図7（B）に示すように、その他の配線層804についても、放熱用の拡張部分884を形成してもよいことは勿論であり、放熱効率を高めることができれば拡張部分の位置や形状について限定はない。

#### 【0044】

##### 〔その他の実施の形態〕

なお、上記形態1～7については、特徴部分を個々に備えたものを例に説明したが、上記の形態1ないし7を任意に組み合わせてもよい。たとえば、実施の形態6に係るCMOSインバータ回路80において、実施の形態7に係る配線層801、802を用いた場合でも、製造工程数を増やすことなく、TFTからの放熱効率を高めることができる。また、実施の形態6、7、あるいはそれらを組み合わせた構造のCMOSインバータ回路80において、実施の形態1ないし5に

係る構造のTFT1を用いた場合にも、製造工程数を増やすことなく、TFT回路での放熱効率を高めることができる。

【0045】

[アクティブマトリクス基板への適用例]

図面を参照して、本発明を液晶表示装置用のアクティブマトリクス基板に適用した場合を説明する。

【0046】

(アクティブマトリクス基板の全体構成)

図8は、液晶表示装置のアクティブマトリクス基板の構成を模式的に示すブロック図である。

【0047】

図8に示すように、液晶表示装置用のアクティブマトリクス基板では、ガラス製などの透明基板上に、アルミニウムなどの金属膜からなる信号線90および走査線91で区画形成された画素領域が構成され、そこには、画素用のTFT1Cを介して画像信号が入力される液晶容量94（液晶セル）が存在する。信号線90に対しては、シフトレジスタ84、レベルシフタ85、ビデオライン87、アナログスイッチ86を備えるデータ側駆動回路82（TFT回路）が構成されている。走査線91に対しては、シフトレジスタ88およびレベルシフタ89を備える走査側駆動回路83（TFT回路）が構成されている。なお、画素領域には、前段の走査線91との間に保持容量4が形成され、この保持容量4は、液晶容量94での電荷の保持特性を高める機能を有している。

【0048】

(CMOSインバータ回路の基本構成)

データ側および走査側の駆動回路では、図9（A）にたとえば2段のCMOSインバータ回路80を示すように、N型のTFT1AとP型のTFT1BとによってCMOS回路81が構成されている。このようなCMOS回路81は、1段あるいは2段以上でインバータ回路を構成する。

【0049】

図9（B）にデータ側および走査側の駆動回路を構成するCMOSインバータ

回路80の基本的な平面構造の一例を示してある。この図に、各段のCMOS回路81を構成するいずれのP型のTFT1Bにおいても、ソース・ドレイン領域12A、12Bは、電圧V<sub>dd</sub>が供給されるアルミニウム層からなる配線層801（ソース・ドレイン配線層）にコンタクトホール19を介して電氣的接続し、いずれのN型のTFT1Aにおいても、ソース・ドレイン領域12A、12Bは、電圧V<sub>ss</sub>が供給されるアルミニウム層からなる配線層802（ソース・ドレイン配線層）にコンタクトホール19を介して電氣的接続している。

【0050】

また、各段のN型およびP型のTFT1A、1Bのアルミニウム層からなるゲート電極15A、15Bは、コンタクトホール19を介して入出力用の配線層803（ゲート配線層）に電氣的接続し、この配線層803は、前段でCMOS回路81を構成するP型およびN型のTFTにおいてN型TFT1Aのソース・ドレイン領域12A、12BとP型TFT1Bのドレイン領域12Bにコンタクトホール19を介して電氣的接続している。

【0051】

この図9（B）では、各TFTの構造や配線構造などについては一般的な構造で表してあるが、このように構成したTFT回路に対して、実施の形態6または7で説明した配線構造のCMOSインバータ回路を用いることができる。また、TFT単体としてみれば、実施の形態1ないし5で説明した構造のTFTを用いることができる。

【0052】

（画素領域の基本構成）

図10に示すように、画素領域では、画素用のTFT1Cのソース・ドレイン領域12Cに対して、データ線90（配線層）、およびITO膜からなる透明な画素電極44がコンタクトホール19を介してそれぞれ電氣的接続している。また、画素領域において、保持容量4は、画素用TFT1Cを形成するための半導体膜（シリコン膜）と同時形成された半導体膜を導電化したものを下層側電極41とし、この下層側電極41に対して、ゲート電極15と同時形成された前段の走査線91から張り出した上層側電極42が重なった状態にある。なお、保持容

量4は、走査線91と同時形成される専用の容量線との間に構成することもある。

#### 【0053】

(各TFTおよび保持容量の断面構造)

このように液晶表示装置に用いられるアクティブマトリクス基板では、それぞれの領域にTFTが構成されるが、いずれのTFTも共通の製造工程の中で作り込めるように、図11に示すように、駆動回路用のP型のTFT1B、駆動回路用のN型のTFT1A、および画素用のTFT1Cは、基本的な断面構造が同一である。すなわち、いずれのTFT1A、1B、1Cも、ガラス基板10において、ゲート電極15A、15B、15Cに対してシリコン酸化膜からなるゲート絶縁膜13を介して対峙するチャネル領域17A、17B、17Cと、このチャネル領域17A、17B、17Cに接続するソース・ドレイン領域12A、12B、12Cとを備えている。

#### 【0054】

これらのTFT1A、1B、1Cのうち、駆動回路用のN型のTFT1Aでは、シリコン酸化膜からなる層間絶縁膜51の上層側に位置する配線層802がコンタクホール19を介してソース・ドレイン領域12Aに電氣的接続している構造になっている。P型のTFT1Bでは、層間絶縁膜51の上層側に位置する配線層801がコンタクホール19を介してソース・ドレイン領域12Bに電氣的接続している構造になっている。N型のTFT1AとP型のTFT1Bの間では、層間絶縁膜51の上層側に位置する配線層803がコンタクホール19を介してN型TFT1Aのドレイン領域122AとP型TFT1Bのドレイン領域122Bの双方に電氣的接続している構造になっている。

#### 【0055】

また、画素用のTFT1Cでは、層間絶縁膜51の上層側に位置するデータ線90および画素電極44がコンタクホール19を介してソース・ドレイン領域12Cにそれぞれ電氣的接続している構造になっている。なお、ガラス基板10の表面側には、シリコン酸化膜からなる下地保護膜11が形成されている。

【0056】

このように構成したアクティブマトリクス基板では、駆動回路用のN型およびP型のTFT1A、1Bと、画素用のTFT1Cと、保持容量4とは、いずれも同じガラス基板10上に形成されるだけでなく、各素子を形成するための各工程を互いに援用していくことになる。その際に、いずれのTFT1A、1B、1CもLDD構造またはオフセットゲート構造として形成することが好ましい。駆動回路用のTFT1A、1BをLDD構造またはオフセットゲート構造として形成すると、その耐電圧が向上する分、信頼性を向上することができる。画素用のTFT1CをLDD構造またはオフセットゲート構造として形成すると、そのオフリーク電流が低減する分、画像表示の品位が向上する。このようないずれの構造であっても本発明を適用することは可能である。

【0057】

(アクティブマトリクス基板の製造方法)

前述したいずれの形態においても、製造工程数を増やすことなく駆動回路(TFT)からの放熱効率を高めることを可能にしているので、アクティブマトリクス基板の各TFT1A、1B、1Cの製造方法の一例を、図12、図13を参照して説明する。

【0058】

まず図12(A)に示すようにガラス製の基板10に対してTEOS(テトラエトキシシラン)と酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000オングストロームのシリコン酸化膜からなる下地保護膜11を形成する。次に基板10の温度を300℃に設定して、下地保護膜11の表面にプラズマCVD法により厚さが約600オングストロームのアモルファスのシリコン膜からなる半導体膜200を形成する。次にアモルファスのシリコン膜からなる半導体膜200に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜200をポリシリコン膜にまで結晶化しておく。

【0059】

レーザアニール法では、たとえば、エキシマレーザのビーム長が400mmのラインビームを用い、その出力強度はたとえば200mJ/cm<sup>2</sup>である。ライ

ンビームについてはその幅方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。

【0060】

次に図12(B)に示すように、ポリシリコン膜となった半導体膜200をフォトリソグラフィ技術を用いてパターニングし、半導体膜20A、20B、20C、40を形成する。半導体膜20A、20B、20C、40は、それぞれ駆動回路用のN型のTFT1A、駆動回路用のP型のTFT1B、画素用のTFT1C、保持容量4を形成するための半導体膜である。これまでの工程を行う間に、TFTのしきい値を調整することを目的に低濃度の不純物を導入しておくことがある(チャネルドープ工程)。

【0061】

次に図12(C)に示すように、半導体膜20A、20B、20C、40の表面に対して、TEOS(テトラエトキシシラン)と酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約1000オングストロームのシリコン酸化膜からなるゲート絶縁膜13を形成する(ゲート絶縁膜形成工程)。

【0062】

次に図12(D)に示すように、駆動回路用のN型のTFT1Aの形成予定領域全体を覆うとともに、駆動回路用のP型のTFT1Bおよび画素用のTFT1Cのゲート電極形成予定領域をやや広めに覆うレジストマスク91Aを形成し、この状態で半導体膜20A、20C、40に対してリンイオン(N型不純物)を約 $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で導入する(高濃度N型不純物導入工程)。その結果、半導体膜20A、20Cのうちリンイオンが打ち込まれた領域は、高濃度ソース・ドレイン領域122A、122Cとなる。また、半導体膜40は保持容量4の下層側電極41となる。

【0063】

次に図12(E)に示すように、駆動回路用のN型のTFT1A、画素用のTFT1C、および保持容量4の形成予定領域全体を覆うとともに、駆動回路用のP型のTFT1Bのゲート電極形成予定領域をやや広めに覆うレジストマスク91Bを形成し、この状態で半導体膜20Bに対してボロンイオン(P型不純物)

を約  $2 \times 10^{15} \text{ cm}^{-2}$  のドーズ量で導入する（高濃度P型不純物導入工程）。その結果、半導体膜20Bのうちボロンイオンが打ち込まれた領域は、高濃度ソース・ドレイン領域122Bとなる。

【0064】

次に図12（F）に示すように、半導体膜20A、20B、20C、40にアークランプを用いた急速加熱処理またはレーザーアニール処理を行い、半導体膜20A、20B、20C、40に導入した不純物を活性化する（急速加熱処理工程）。

【0065】

このようにして急速加熱処理工程を終えた後は、図13（A）に示すように、アルミニウムなどの金属膜からなる導電膜73をスパッタ法により形成する（導電膜形成工程）。

【0066】

次に図13（B）に示すように、導電膜73の表面にレジストマスク92を形成した後、図13（C）に示すように導電膜73をパターニングし、各TFTのゲート電極15A、15B、15C、および保持容量4の上層側電極42を形成する（ゲート電極形成工程）。

【0067】

次に図13（D）に示すように、駆動回路用のP型のTFT1Bの形成予定領域全体を覆うレジストマスク93Aを形成した後、水素ガスで希釈されたホスフィン（ $\text{PH}_3$ ）などを用いて低濃度のリンイオン（N型不純物）を約  $1 \times 10^{13} \text{ cm}^{-2}$  のドーズ量で導入する（低濃度N型不純物導入工程）。半導体膜20A、20Cには水素イオンも約  $2 \times 10^{13} \text{ cm}^{-2}$  のドーズ量で導入される。不純物が導入されなかった部分がチャネル領域17A、17Cとなる。その結果、同一の基板10上に駆動回路用のN型のTFT1A、および画素用のN型のTFT1Cとが構成され、これらのTFTは、ソース・ドレイン領域12A、12Cのうちゲート電極15A、15Cの端部に対峙する部分に低濃度ソース・ドレイン領域121A、121Cを備えるLDD構造となる。このような低濃度N型不純物の導入工程を省略すれば、TFT1A、1Cはオフセットゲート構造となる。

## 【0068】

次に図13(E)に示すように、駆動回路用のN型のTFT1A、画素用のTFT1C、および保持容量4を覆うレジストマスク93Bを形成した後、水素ガスで希釈されたジボラン( $B_2H_6$ )などを用いて低濃度のボロンイオン(P型不純物)を約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で導入する(低濃度P型不純物導入工程)。半導体膜20Bには水素イオンも約 $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で導入される。不純物が導入されなかった部分がチャネル領域17Bとなる。その結果、基板10上に駆動回路用のP型のTFT1Bが構成され、このTFTは、ソース・ドレイン領域12Bのうちゲート電極15Bの端部に対峙する部分に低濃度ソース・ドレイン領域121Bを備えるLDD構造となる。このような低濃度P型不純物の導入工程を省略すれば、TFT1Bはオフセットゲート構造を有することになる。

## 【0069】

次にフォーミングガス中で熱処理を行い、低濃度ソース・ドレイン領域121A、121B、121Cに導入した低濃度の不純物を活性化した後、図13(F)に示すように、TEOS(テトラエトキシシラン)と酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約5000オングストロームのシリコン酸化膜からなる層間絶縁膜51を形成する。それ以降、図11に示すように、層間絶縁膜51にコンタクトホール19を形成し、しかる後に各配線層801、802、803および画素電極44を順次形成する。

## 【0070】

## 【発明の効果】

以上説明したように、本発明に係るTFT及びTFT回路では、導電膜または半導体膜から構成された構成部分には放熱用拡張部が形成されていることに特徴を有する。従って、本発明によれば、放熱用拡張部が形成されている分だけ、当該構成部分の表面積が拡大したことになるので、そこからの放熱効率が高い。よって、TFT回路においてその特性や性能向上のためにTFTに流れる電流をアップしても、放熱効率が高い分、TFTの自己発熱による温度上昇が小さいので、特性劣化や信頼性の低下が生じない。しかも、放熱用の拡張部分は、TFT回



路をそれまで構成していた部分を拡張した部分である。従って、製造工程が増えないので、T F T回路の製造コストは上昇しない。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係る T F T回路に構成した T F Tの平面図である。

【図 2】

本発明の実施の形態 2 に係る T F T回路に構成した T F Tの平面図である。

【図 3】

本発明の実施の形態 3 に係る T F T回路に構成した T F Tの平面図である。

【図 4】

本発明の実施の形態 4 に係る T F T回路に構成した T F Tの平面図である。

【図 5】

本発明の実施の形態 5 に係る T F T回路に構成した T F Tの平面図である。

【図 6】

本発明の実施の形態 6 に係る C M O Sインバータ回路の平面図である。

【図 7】

(A) は、本発明の実施の形態 7 に係る C M O Sインバータ回路の平面図、 ( B) は、その他の配線において放熱効率を高めるときの説明図である。

【図 8】

液晶表示装置のアクティブマトリクス基板の構成を模式的に示すブロック図である。

【図 9】

(A) は、図 8 に示すアクティブマトリクス基板において、そのデータ側駆動回路または走査側駆動回路に構成されている C M O Sインバータ回路の回路図、 (B) は、この C M O Sインバータ回路を構成する T F Tおよび配線層を示す平面図である。

【図 10】

図 8 に示すアクティブマトリクス基板に区画された画素領域の 1 つを拡大して示す平面図である。

【図 1 1】

図 8 に示すアクティブマトリクス基板に構成される 3 種類の T F T および保持容量の断面図である。

【図 1 2】

図 1 1 に示すアクティブマトリクス基板の製造方法の一例を示す工程断面図である。

【図 1 3】

図 1 1 に示すアクティブマトリクス基板の製造方法の一例において、図 1 2 に示す工程に続いて行う各工程を示す工程断面図である。

【図 1 4】

従来の T F T の平面図である。

【図 1 5】

従来の T F T 回路に構成した T F T の平面図である。

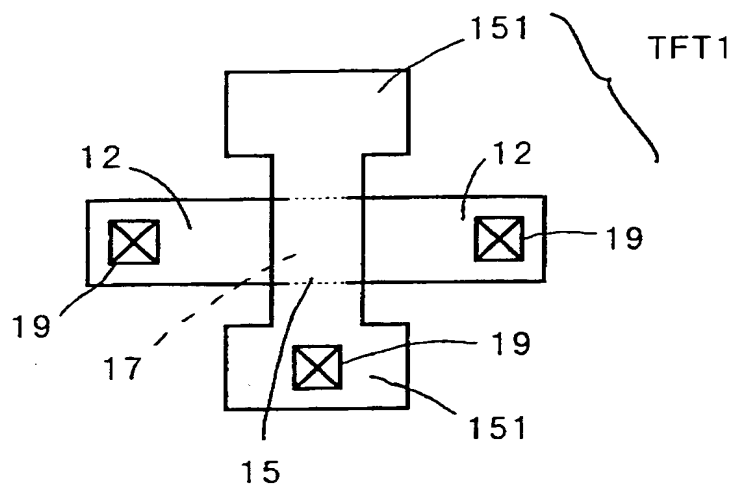
【符号の説明】

- 1 A 駆動回路用の N 型の T F T
- 1 B 駆動回路用の P 型の T F T
- 1 C 画素用の N 型の T F T
- 4 保持容量
- 1 0 基板
- 1 2、1 2 A、1 2 B、1 2 C ソース・ドレイン領域
- 1 7、1 7 A、1 7 B、1 7 C チャネル領域
- 1 3・・・ゲート絶縁膜
- 1 5、1 5 A、1 5 B、1 5 C ゲート電極
- 1 9 コンタクトホール
- 2 0 A、2 0 B、2 0 C、4 0、2 0 0・・・半導体膜
- 5 1 層間絶縁膜
- 7 2、7 3・・・導電膜
- 8 0 CMOS インバータ回路 (T F T 回路)
- 8 1 CMOS 回路 (T F T 回路)

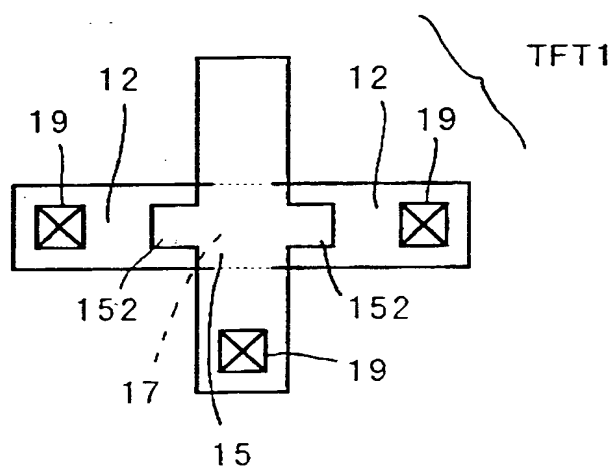
- 151 ゲート電極の放熱用拡張部分
- 123 ソース・ドレイン領域の放熱用拡張部分
- 125 ソース・ドレイン領域の放熱用拡張部分
- 171 チャンネル領域の放熱用拡張部分
- 801、802 配線層（ソース・ドレイン配線層）
- 803 配線層（ゲート配線層）
- 804 配線層
- 881、882、883、884 配線層の放熱用拡張部分

【書類名】 図面

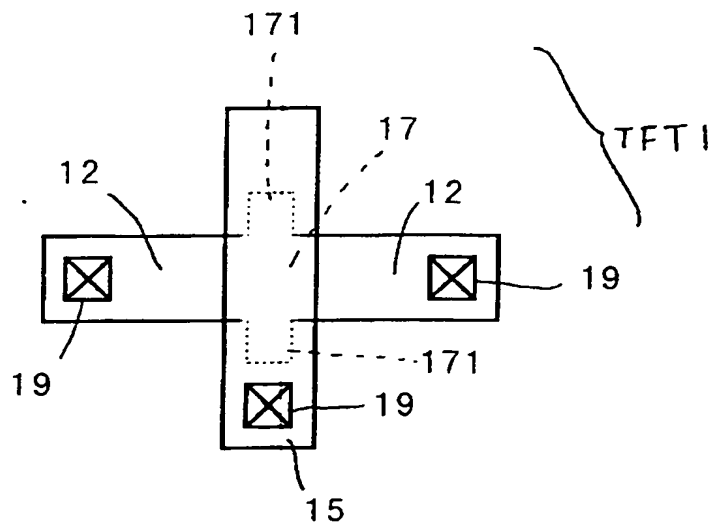
【図1】



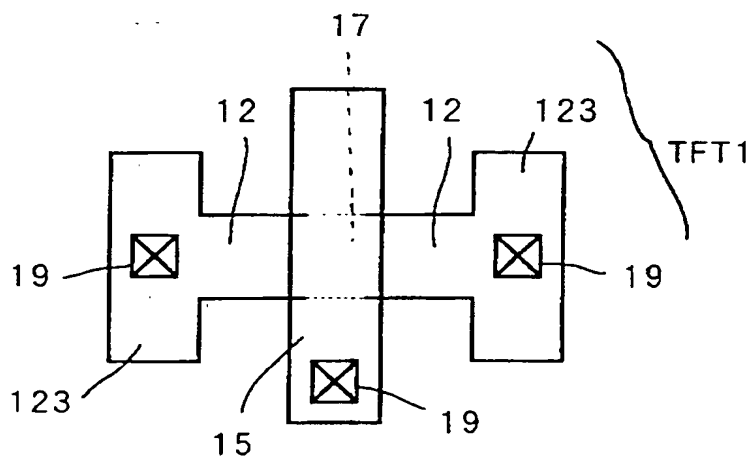
【図2】



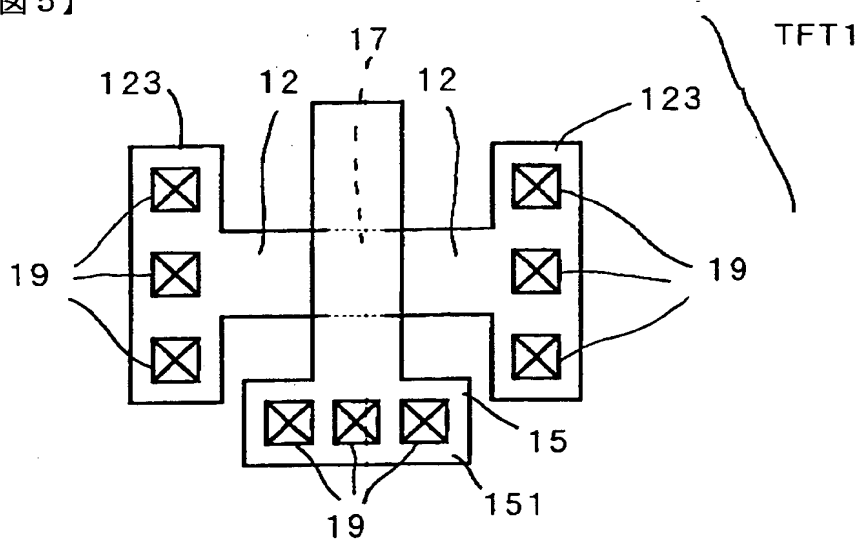
【図3】



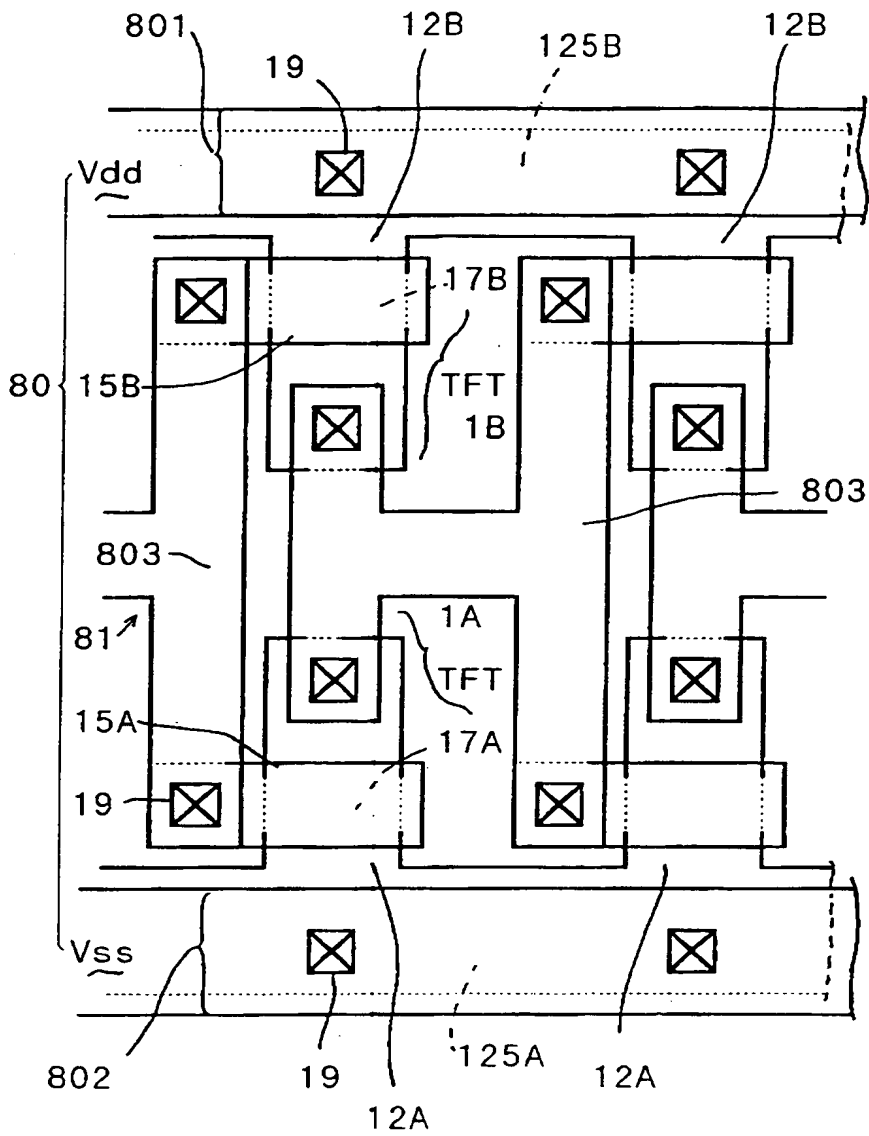
【図4】



【図5】

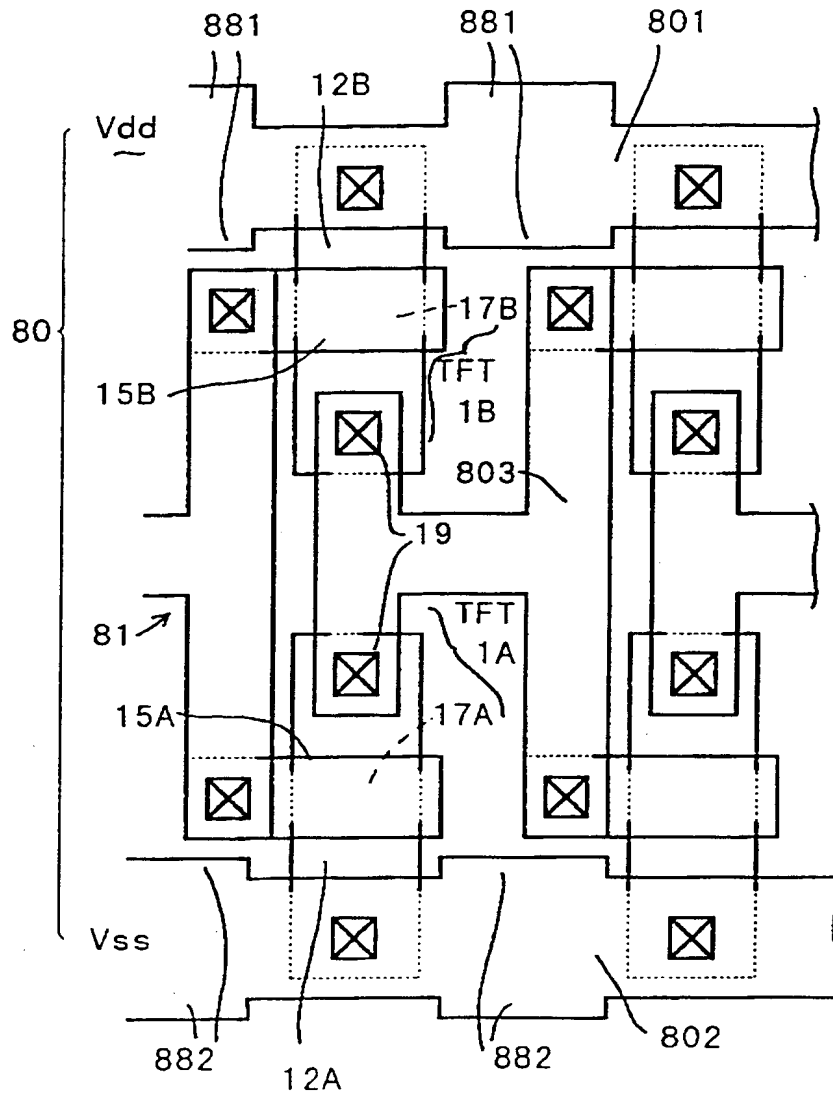


【図6】

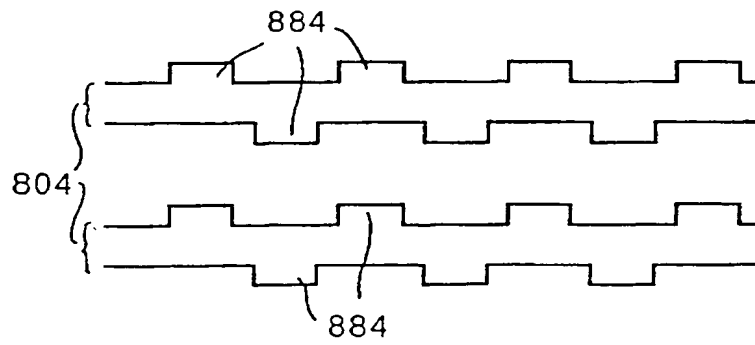


【図 7】

( A )

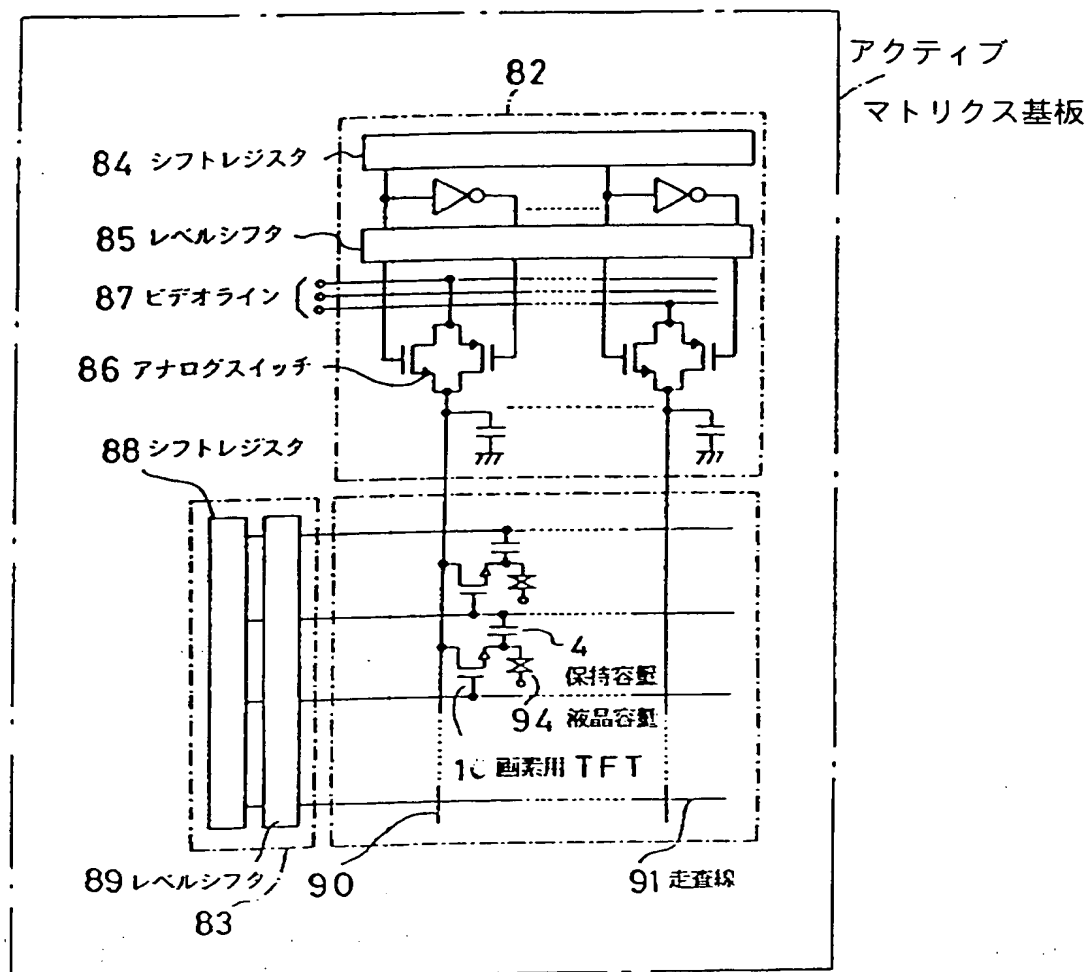


( B )



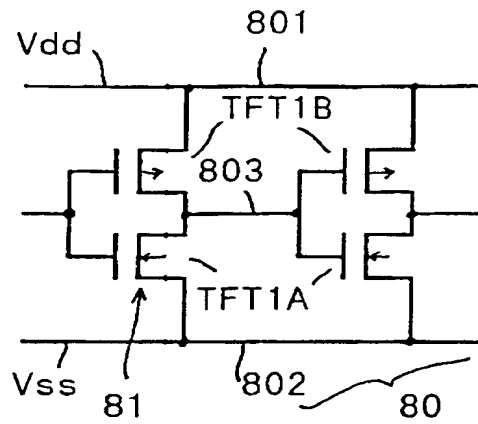


【図8】

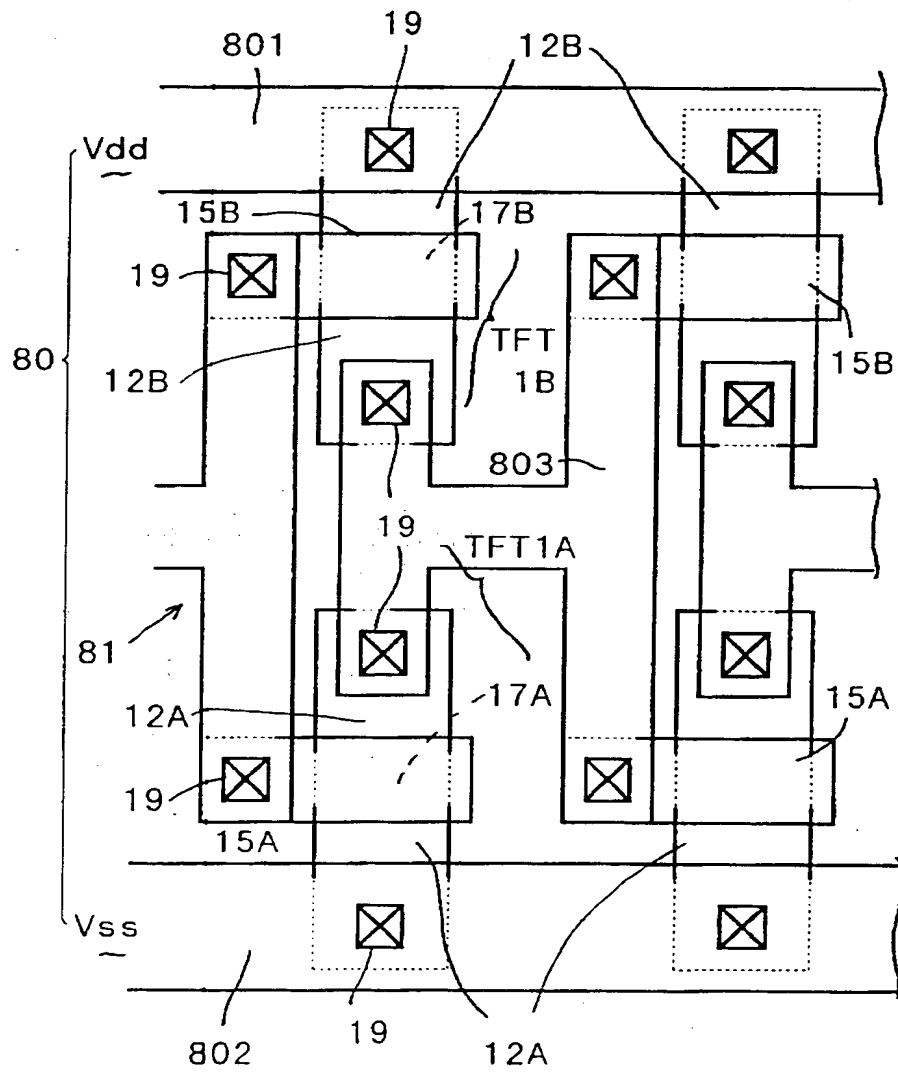


【図9】

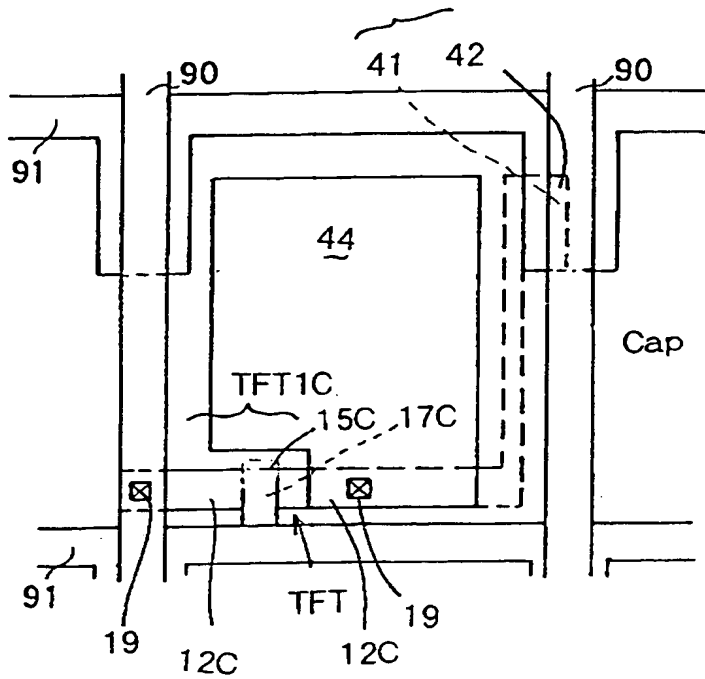
(A)



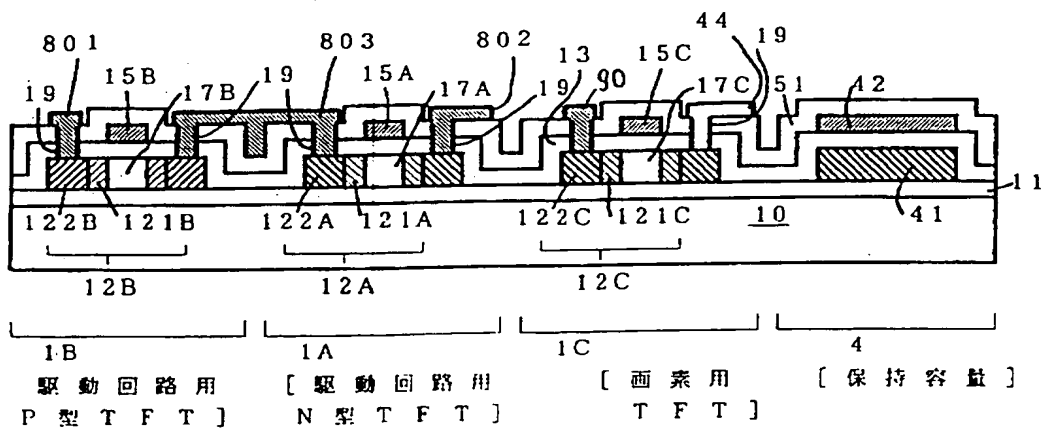
(B)



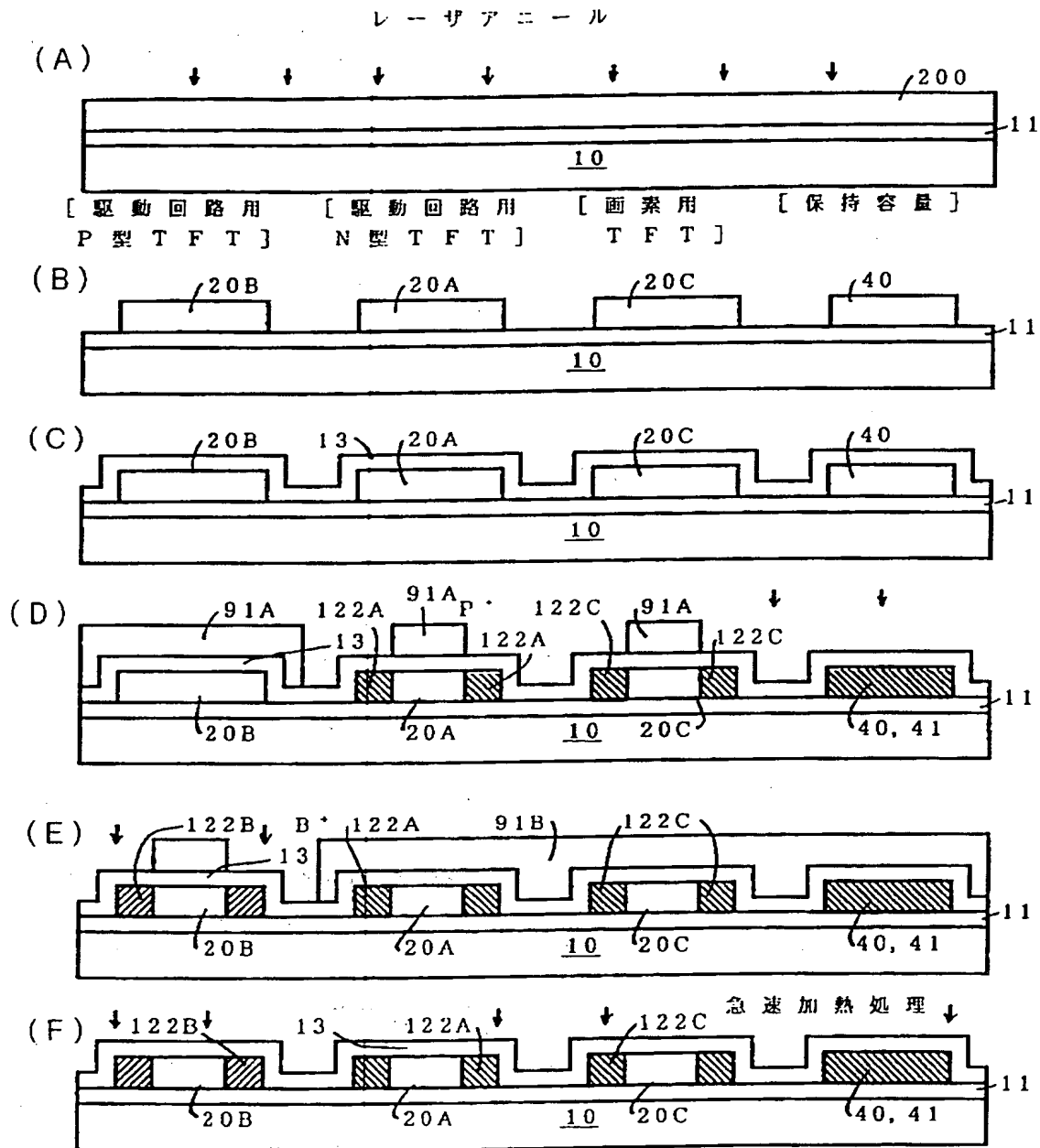
【図10】



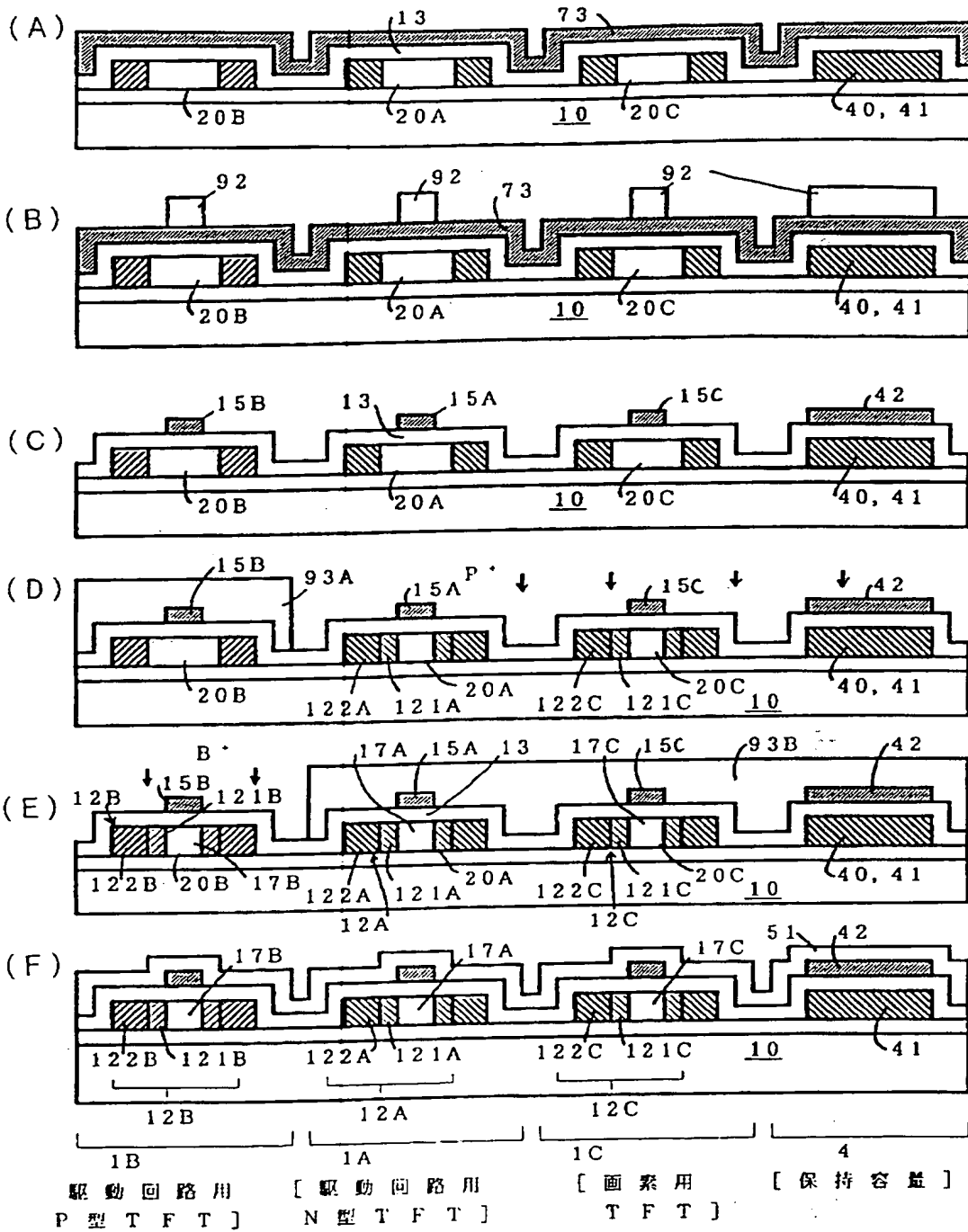
【図11】



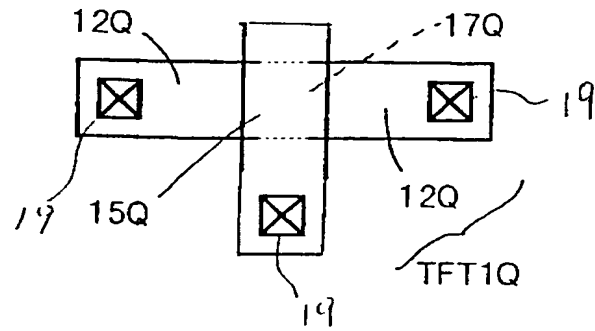
【図12】



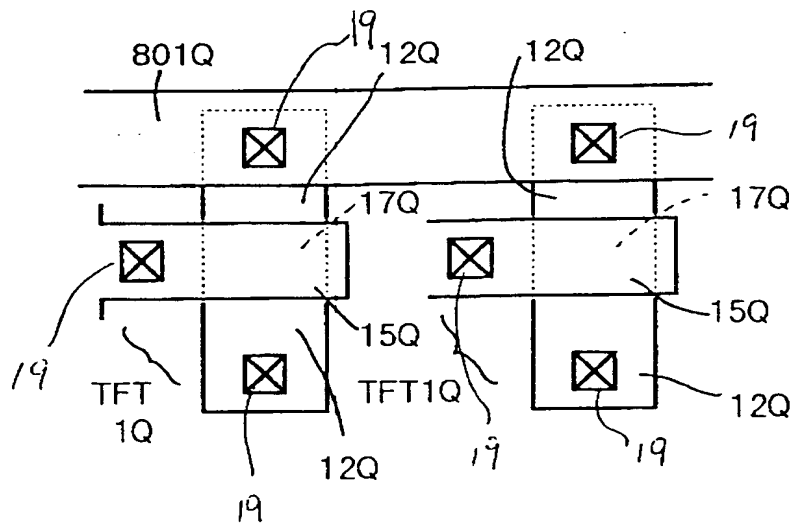
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 製造工程数を増やすことなく放熱効率を高めた構造とし、TFTに流す電流をアップしても特性劣化や信頼性低下のないTFT、TFT回路、およびそれを駆動回路に用いたアクティブマトリクス基板を備える液晶表示装置を提供すること。

【解決手段】 基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続するソース・ドレイン領域を備えるTFTと、前記ソース・ドレイン領域に電氣的接続するソース・ドレイン配線層と、前記ゲート電極に電氣的接続するゲート配線層とを有するTFTにおいて、該TFTの各構成部分のうち、導電膜または半導体膜から構成された少なくとも1つの構成部分には、該構成部分自身から拡張されて該構成部分からの放熱効率を高めるための放熱用拡張部が形成されている。

【選択図】 図5

【書類名】 職権訂正データ  
 【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369  
 【住所又は居所】 東京都新宿区西新宿2丁目4番1号  
 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

申請人  
 【識別番号】 100093388  
 【住所又は居所】 東京都新宿区西新宿2丁目4番1号 セイコーエプソン株式会社内  
 【氏名又は名称】 鈴木 喜三郎

【選任した代理人】

【識別番号】 100095728  
 【住所又は居所】 東京都新宿区西新宿2-4-1 セイコーエプソン株式会社 特許室  
 【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261  
 【住所又は居所】 東京都新宿区西新宿2丁目4番1号 セイコーエプソン株式会社内  
 【氏名又は名称】 須澤 修



出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社

THIS PAGE BLANK (USPTO)